

如何控制和保证基于 SiC 的功率半导体器件的可靠性（二）

在[《白皮书下载 | 如何控制和保证基于 SiC 的功率半导体器件的可靠性》（一）](#)中，我们介绍了基于 SiC 的器件需要进行一些不同于硅器件的额外可靠性试验的原因和工业级 SiC MOSFET 的栅极氧化层可靠性及其失效率和寿命。本文将继续介绍工业级 SiC MOSFET 的栅极氧化层可靠性和偏压温度不稳定性（BTI）。

4 工业级 SiC MOSFET 的栅极氧化层可靠性 - 偏压温度不稳定性（BTI）

在正常使用器件时，由于半导体-氧化层界面处缺陷的产生和/或充放电，SiC MOSFET 的阈值电压可能略有漂移。阈值电压的漂移可能对器件的长期运行产生明显影响，具体取决于漂移量。由于这种漂移通常是向更大的电压值偏移，因此会导致器件的导通电阻变大。这又导致损耗增加，以及散热需求增大，从而可能缩短器件的使用寿命。因此，了解阈值电压的行为并考虑它对设计余量的影响非常重要。

这种现象在 Si 技术中已非常常见，被称之为“偏压温度不稳定性”（BTI）。考虑到 SiC 属于宽禁带半导体的事实，即，它不仅由硅（Si）而且由碳（C）原子组成，SiC/SiO₂ 界面的特性相比 Si/SiO₂ 界面稍有不同。在 SiC/SiO₂ 界面存在位于更大能量范围内的其它点缺陷类型，它们必须通过其它的氧化后处理（比如，用氧化氮代替氮氢混合气氛退火）进行钝化。此外，由于 SiC 的带隙较宽，在半导体与 SiO₂ 栅极氧化层之间更容易进行载流子交换。这些差异自然又会使得 SiC MOSFET 的电气特性和动态漂移特性相比 Si MOSFET 稍有改变。

很多努力已经付出在改善 SiC MOSFET 的性能上，但性能改善未必能带来更好的器件可靠性[12]。为保证器件特性长期稳定，必须密切关注 BTI 这种漂移现象。在英飞凌，我们在追求一流器件性能的同时，也在设法实现最优异的器件可靠性。因此，

我们开展了深入的研究，以期能够深入地了解潜在效应，评估 BTI 效应在现实应用中的影响，并制定出能够尽可能地抑制 BTI 效应的措施。

4.1 SiC MOSFET 在恒定栅极偏压条件下的参数变化（DC BTI）

4.1.1 DC BTI 简介

DC BTI 效应不仅存在于 SiC 功率器件中，在硅（Si）技术中也很常见。当在高温条件下给 Si 或 SiC MOSFET 的栅极施加恒定的 DC 偏压时，可以观察到阈值电压和导通电阻的变化。改变的幅度和极性取决于应力条件（偏压、时间、温度）。施加正栅极偏压应力（PBTI）时，通常可以观察到阈值电压向更高的电压偏移；而如果施加负栅极偏压应力（NBTI），阈值电压则向相反的方向偏移。这种效应是由 SiC/SiO₂ 或 Si/SiO₂ 界面处或附近的载流子捕获引起的，可以通过优化器件工艺控制在最低水平。为更好地了解和预测 SiC MOSFET 中的 DC BTI，英飞凌对这个问题展开了深入的研究，重点了解它相比 Si 技术存在哪些不同。就 Si MOSFET 而言，英飞凌过去已经对 BTI 有了扎实的了解，并且已与众多著名高校一道为科学进步作出了重大贡献 [13] [14] [15]。已经掌握的退化物理学和电气测量技术知识，如今已被用于研究英飞凌的 SiC 器件 [16] [17]。事实上，尽管材料特性不同，Si 和 SiC 技术在 DC BTI 方面却存在许多相似之处 [18]。然而，它们在有些方面仍然存在不同，在测量和评估特定应用中的参数变化时必须考虑到这些不同。

4.1.2 测量 SiC 功率器件的 DC BTI

由 DC BTI 引起的阈值电压变化由两个分量组成：一个是快速、可恢复的分量，另一个是准永久（恢复很慢）的分量 [19] [20]。准永久分量决定器件的长期漂移量，而快速分量能在短时间内恢复。

为了获得可比较的漂移值，已制定测定 BTI 漂移的工业标准，如 JESD22 [21] 和它的扩展标准 AEC-Q101 [22]。这些标准都是以 Si 技术为基础建立的，必须针对 SiC 技术进行完善，如下所述。

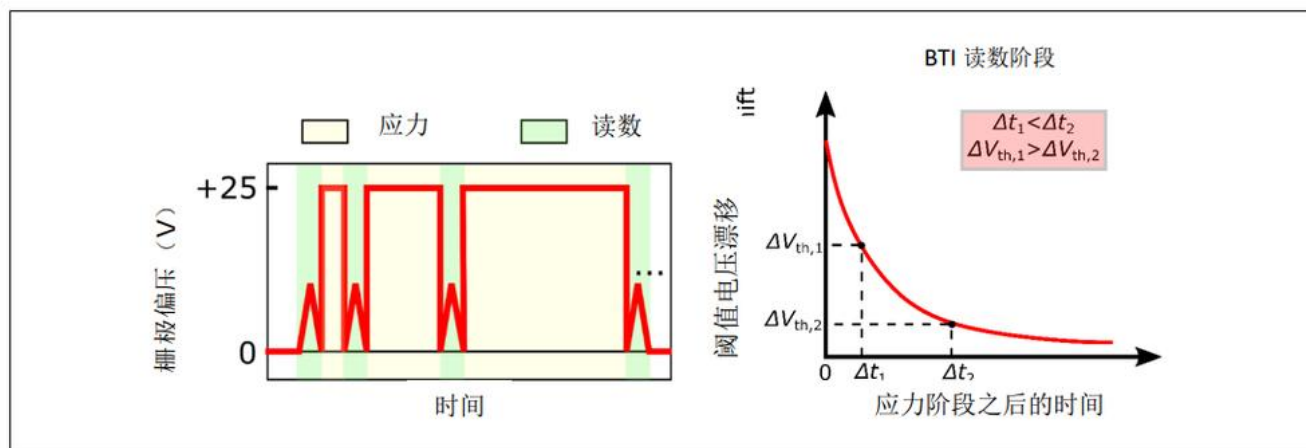


图 1 以 PBTI（脉冲 BTI）应力为例，典型的 DC BTI MSM（测量-应力-测量）序列。左图显示的是测量信号与时间的关系。右图显示的是阈值电压漂移的恢复与时间的关系，旨在表明读数延迟对提取的阈值电压漂移的影响。即使读数时间有很小的差异，提取的阈值电压漂移也有很大不同。

测量 DC BTI 的传统方法是以测量-应力-测量（MSM）为顺序，先反复地给栅极施加偏压和温度应力，然后读数，如图 6 中的左图所示。借助这种方法及合适的设备，以上所述的两个漂移分量都能被测量出来。但是，获得的阈值电压漂移在很大程度上取决于读数时间——即应力阶段与读数阶段之间的时间间隔，以及器件的状况[19] [23]。从图 1 中的右图可以看出，阈值电压漂移在应力结束后以指数级速度恢复。于是，即使读数时间有很小的差异——比如 1ms vs. 100ms，提取的阈值电压漂移也有很大不同。因此，这种方法存在的缺点是重现性差，且难以区分阈值电压漂移中的完全可恢复的快速分量（滞后效应）与更加依赖于应用的准永久分量。

因为这个原因，英飞凌建议使用改进版的 BTI 测量序列，其中需要用到预处理脉冲，如图 7 所示。以预处理过的 PBTI 为例，读数阶段包含累积脉冲、在固定电流电平下的一次读数、反向脉冲和二次读数。在所有序列都完成之后，即在二次读数时，留下的主要是准永久的 BTI 分量，它几乎无法恢复或者恢复很慢。这意味着，预处理

使得测量结果更容易被重现，更不易受到读数延迟和器件状况的影响，并允许正确地
区分滞后效应与漂移效应[19]。

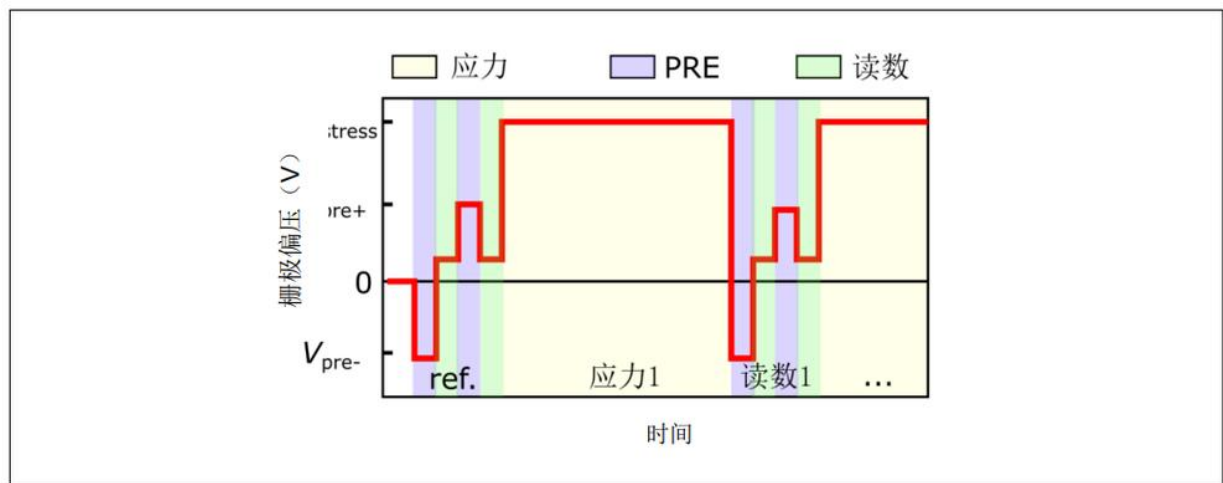


图 2 预处理过的 PBTI 的测量序列。读数阶段包含累积脉冲、一次读数、累积脉冲和二次读数。二次读数得到的是最稳定的、可重现的结果。

同一个读数阶段中的一次读数与二次读数之差代表阈值电压滞后现象。它随时间发生的漂移表示产生了新的界面态。预处理脉冲模拟的是栅极在应用中的开关过程，可将陷阱态转化为预定的电荷态，从而减少读数延迟与器件状态的影响。

4.1.3 SiC 和 Si 功率 MOSFET 的 DC BTI 比较

在以前发表的文章中，经常是说 SiC MOSFET 的漂移量显著高于 Si 功率器件（比如[24]）。然而我们已经证明，英飞凌的 SiC 功率 MOSFET 具有的 NBTI 漂移量（负 BTI）很小，可与最先进的 Si 超结 MOSFET 器件相媲美（即使在给器件施加明显的过应力时）。这一结果是通过优化器件工艺来实现的。针对 SiC，我们给出了几种不同的工艺处理所带来的不同结果，以证明通过优化 SiC/SiO2 界面来改善或降低 BTI 的可能。

4.1.3.1 负偏压温度不稳定性（NBTI）

英飞凌研究了在 200°C 和 -25 V 的偏压应力下的 NBTI 漂移（图 8）。结果显示，通过几种工艺处理的改进，英飞凌 SiC MOSFET 的 NBTI 漂移可以减少一个数

量级。在本试验的实验窗口中，最好的工艺改进版本所得到的 NBTI 漂移量，与 Si MOSFET 处于同一个数量级。SiC MOSFET 的漂移斜率甚至更小，表示随着应力施加时间的延长，它的漂移量将比 Si MOSFET 少。低 NBTI 是英飞凌 SiC MOSFET 器件的典型特征之一。

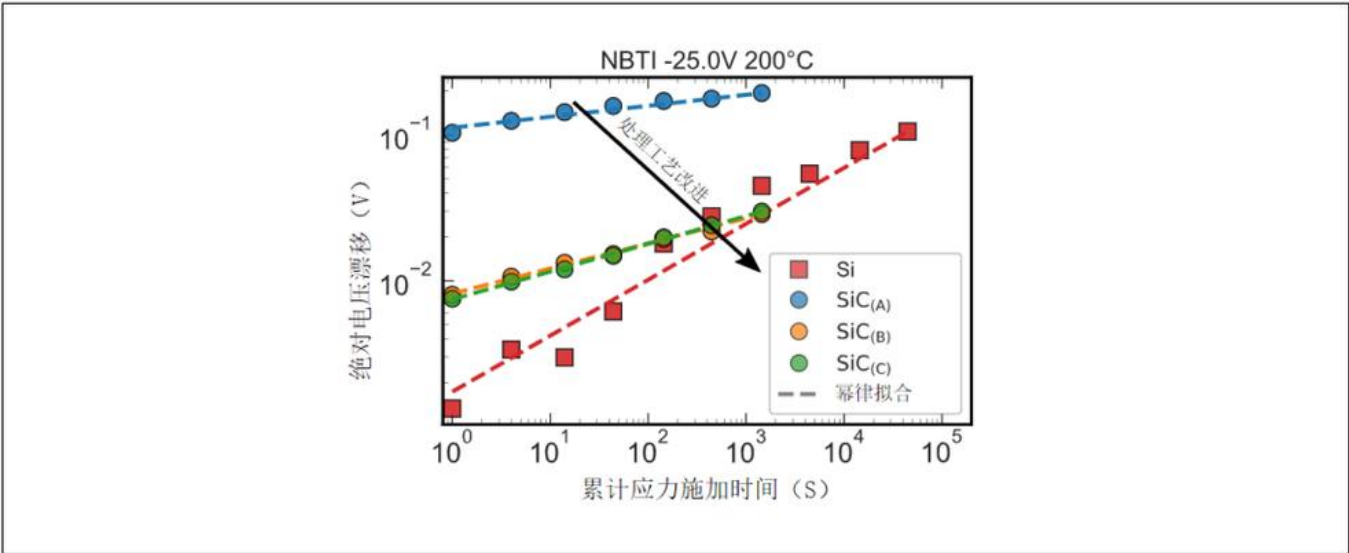


图 3 在 200° C 和-25 V 的偏压应力下，NBTI 随时间的变化。通过改进处理工艺，英飞凌 SiC MOSFET 的总漂移量可被降到与同等的 Si 功率 MOSFET 类似的水平。

4.1.3.2 正偏压温度不稳定性（PBTI）

英飞凌研究了在 200° C 和+25 V 的偏压应力下的 PBTI 漂移（图 4）。结果显示，Si 和 SiC 的 PBTI 有许多相似之处，而只有少许差异。

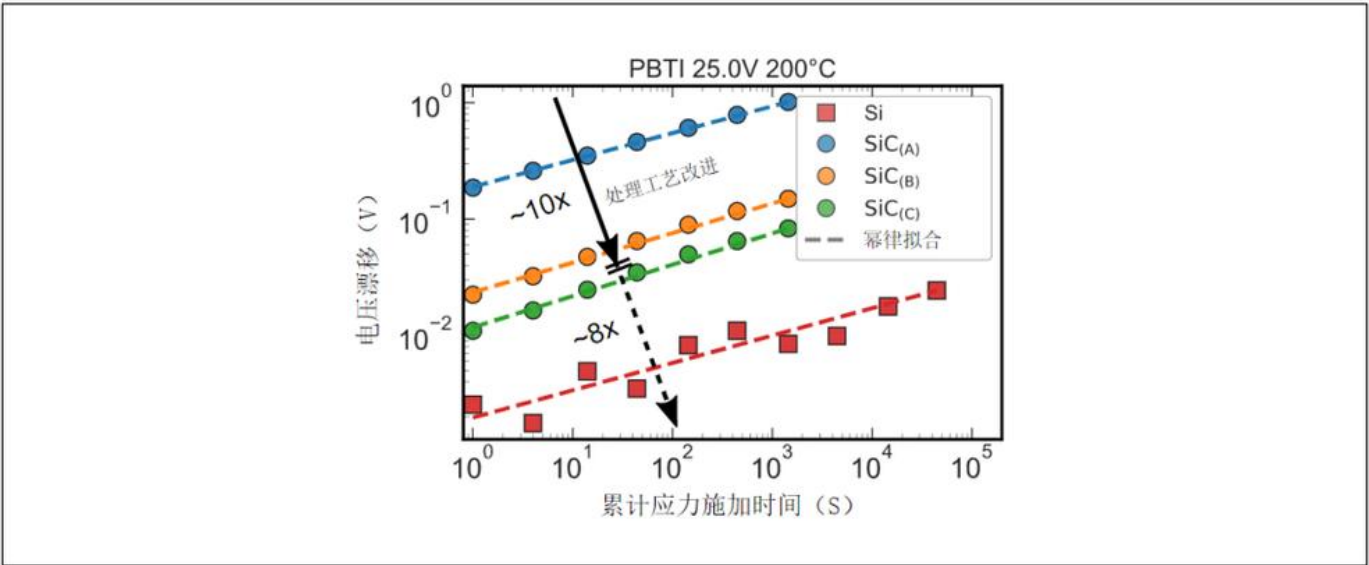


图 4 在 200°C 和 $+25\text{V}$ 的偏压应力下, PBTI 随时间的变化。取决于所用的技术和器件工艺, 可以看到 Si 和 SiC 的 PBTI 随时间发生的变化是一致的, 但绝对阈值电压漂移并不相同。SiC MOSFET 的 PBTI 更大, 但仍然位于 100mV 的范围以内。

事实上, 我们发现, SiC 和 Si 功率 MOSFET 的 PBTI 随时间发生的变化、电压加速 (图 5) 和与温度的关系都是一致的。

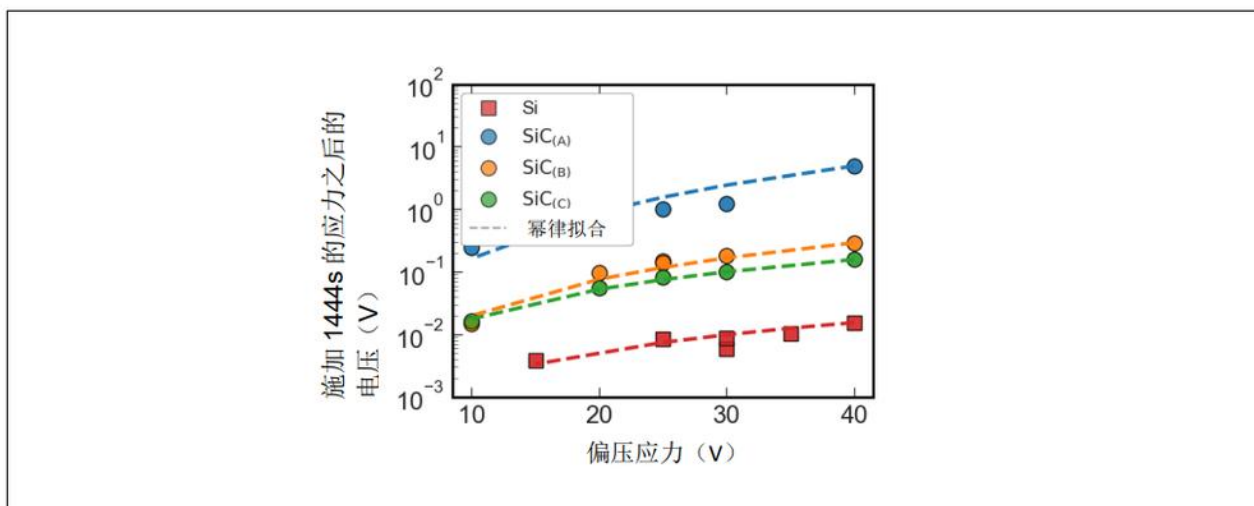


图 5 PBTI 在 200°C 下的电压加速。所有器件 (无论是 SiC 还是 Si 技术) 都显示出相同的电压加速, 以及不同的绝对漂移。

剩余差异是绝对阈值电压漂移的补偿。通过优化器件处理, 我们再次实现了漂移量降低一个数量级的目标, 从而使得漂移量在本试验的实验窗口中落在了 100mV 的范围以内。然而, 在这些试验条件下, 最好的 SiC 器件的漂移仍是参比的 Si 器件样品的 8 倍左右。对于 Si 功率 MOSFET, PBTI 通常完全不是问题。所观察到的漂移补偿是 SiC 能带结构不同所导致的自然结果。

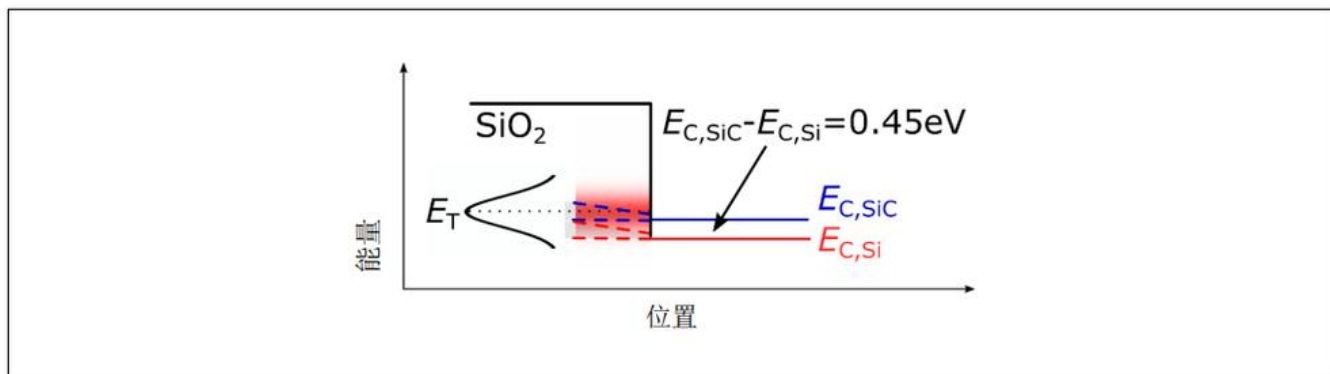


图 6 SiC/SiO₂ 和 Si/SiO₂ 界面的能带图。这两种技术的栅极氧化层中存在相同的陷阱分布。由于 SiC 的导带底更高，所以相比 Si，这一固有的陷阱能级更容易得到填充，这自然就使 SiC 的 PBTI 漂移更大——即使在假定 SiO₂ 的陷阱密度相同时。

图 6 显示的是 SiC/SiO₂ 和 Si/SiO₂ 界面的能带图，其中包含 SiO₂ 中靠近 SiC 导带边缘的一个已知的内在氧化物陷阱能级[20]。正如我们在[18]中所证明的，SiC 导带度更高使得电子更容易被捕获到该陷阱能级中，这是 SiC 器件在被施加 PBTI 应力后产生的漂移更大的主要原因。

4.1.3.3 DC BTI 漂移的建模

虽然 DC BTI 已经得到广泛的研究——尤其是 Si 技术的 DC BTI，但目前还没有被普遍认可的物理漂移模型[17] [25]。然而，利用实证幂律（参见[26]）或捕获/释放时间图（CET 图，参见[27]）等经验模型，也可能进行寿命终期漂移预测。我们的研究表明，为 Si 技术开发和验证的预测模型（简化幂律和简化热激发模型），也能非常方便地用于英飞凌的 SiC MOSFET。因此，SiC MOSFET 的 DC BTI 漂移能向 Si 技术一样进行预测。

4.1.3.4 总结

SiC 的 DC BTI 是严重影响器件可靠性的一个问题。因此，必须通过优化器件工艺来将 DC BTI 降到最小，并利用合适的测量方法仔细地评估 DC BTI。然而，因为能使器件性能更好（RON x A 更小）的工艺条件，在 NBTI 或 PBTI 方面不一定就表现最好，所以必须采取谨慎的态度来对待 DC BTI。英飞凌的 SiC MOSFET 具有优异的器件性能，同时还拥有很小的 NBTI，可与最先进的 Si 功率 MOSFET 相媲美。SiC 器件的 PBTI 由于带隙更大而比 Si 技术略高，但仍位于 100mV 的范围以内。由于观察发现 SiC 的 PBTI 与时间、温度和偏压的关系与 Si 技术类似，所以可以断定它们对应的潜在物理机制是一样的，因此可以使用与 Si 技术相同的、同样有预测能力的建模方法。

4.2 SiC MOSFET 在实际应用栅极开关运行条件下的参数变化（AC BTI）

4.2.1 简介

多年来，英飞凌一直在进行超越标准质量认证方法的应用相关试验，以期为最终应用确立可靠的安全运行极限[16] [19]。阈值电压和导通电阻在实际应用运行条件下的漂移，是我们深入研究的一个“SiC 特有”的重点问题。我们将 SiC MOSFET 在高频率双极栅极开关条件下和高温下的应力称之为“AC 偏压温度不稳定性（BTI）试验”。请注意，这一新的“AC BTI 试验”是对标准化的“DC BTI 试验”进行重要延伸后所得的结果，DC BTI 试验在前一章中已经讨论过，通常用于进行 Si 和 SiC MOSFET 技术的质量认证。我们决定在 SiC MOSFET 的标准质量认证体系中加入这些新型的应力试验是因为，事实表明，在特定的交流栅极应力条件下，参数漂移可能超过施加标准直流栅极应力后的典型值。这与 DC BTI 始终被视为“最坏情况”的 Si 技术是不同的[28]。为了增进对这一新的漂移现象的认识，也为了指导客户在设计中如何避免可能危险的临界运行条件，英飞凌已在 2018 年发布了一份描述 AC BTI 的基本特点的应用说明（AN），并阐述了它在典型的应用环境中可能造成的后果[29]。2019 年，我们根据最新的发现对该应用说明进行了完善和扩展。本章内容可以算作英飞凌的应用说明的补充资料，旨在更深入地了解 AC BTI 现象与其他因素的关系。

4.2.2 AC BTI 建模

英飞凌在各种运行条件下开展了广泛的试验，以期建立一个半经验的预测模型，用于描述阈值电压（ V_{TH} ）在典型的 SiC MOSFET 应用中的变化，这些变化跟应力施加时间（ t_S ）、栅极偏压下限（ V_{GL} ）、栅极偏压上限（ V_{GH} ）、开关频率（ f ）和运行温度（ T ）等相关。

$$\Delta V_{TH} = f(t_S, V_{GL}, V_{GH}, f, T, \dots). \quad (1)$$

在高 MOSFET 开关频率（比如 500 kHz）下测量阈值电压是特别有挑战的，因为它不仅要求电气参数的分辨率高，还要求测量延时达到微秒级。为此，英飞凌已开发出定制的高端应力/试验设备，可用于在 AC 栅极应力试验期间进行快速的原位参数监测[17]。

AC BTI 的特点之一是，在我们研究过的所有器件中阈值电压漂移都是正的。阈值电压增大可降低 MOS 沟道过驱动电压 ($V_{GH} - V_{TH}$)，从而使得器件的沟道电阻 (R_{ch}) 变大。

$$R_{ch} = \frac{L}{W\mu_n C_{ox}(V_{GH} - V_{TH})} \quad (2)$$

在公式（2）中，L 代表沟道长度，W 代表沟道宽度， μ_n 代表自由电子迁移率， C_{ox} 代表栅极氧化层电容， V_{GH} 代表栅极电压上限，而 V_{TH} 代表器件的阈值电压。在高功率器件中，沟道电阻只是器件的总导通电阻的一个分量。

$$R_{ON} = R_{ch} + R_{JFET} + R_{epi} + R_{sub} \quad (3)$$

在公式（3）中， R_{ch} 代表沟道电阻， R_{JFET} 代表结型场效应晶体管（JFET）电阻， R_{epi} 代表漂移带的外延层电阻，而 R_{sub} 代表高掺杂 SiC 衬底的电阻。沟道电阻 (ΔR_{ch}) 因为栅极过驱动电压 (ΔV_{TH}) 降低而增大，最终使得器件的总导通电阻 (ΔR_{ON}) 略微变大。总导通电阻增大可能导致静态损耗更大，进而导致运行期间的结温略微升高。为了防止在 125°C 下进行 10 年的连续开关操作期间，发生可能导致导通电阻出现潜在临界漂移 (> 15%，在数据表的最大额定值中已经考虑) 的运行条件，英飞凌的应用说明提供了指导图表来说明推荐的栅极驱动电压和频率。这些指导图表依据的是在深入研究和测量 AC BTI 的基本特点之后创建的退化模型。

4.2.3 AC BTI 的基本特点

本段主要借助一系列实验数据来揭示和阐明 **AC BTI** 的基本特点。漂移模型与数据进行拟合，以得到半经验模型系数。所示的拟合曲线对应用于计算 **AN** 中栅极电压指导图表的漂移模型[29]。

4.2.3.1 与开关频率（f）的关系

AC BTI 取决于开关事件次数，且 **AC V_{TH}** 漂移符合幂律：

$$\Delta V_{TH_AC} \sim (t_s \times f)^n \quad (4)$$

因此，更恰当的做法是绘制 **AC** 漂移与开关次数的关系图，而不是像 **DC BTI** 的典型做法一样绘制漂移与应力施加时间的关系图。在图 12 中，我们比较了两种不同的开关频率。当开关次数相同时，所看到的漂移是相似（不是完全一样）的，它与总应力施加时间无关。正是因为这个原因，相比在相对较低的开关频率下运行的应用（比如驱动），在较高开关频率下运行的应用（比如太阳能）更容易受到 **AC BTI** 的影响。此外，由于受影响的主要是静态损耗，所以 **AC BTI** 漂移对应用中的总损耗的最终影响，取决于给定的导通损耗与开关损耗之比。在某个特定的应用中，如果开关损耗在总损耗中占据绝对比例，那么即使开关频率更大，导通损耗的增加对于系统设计的影响也不大。

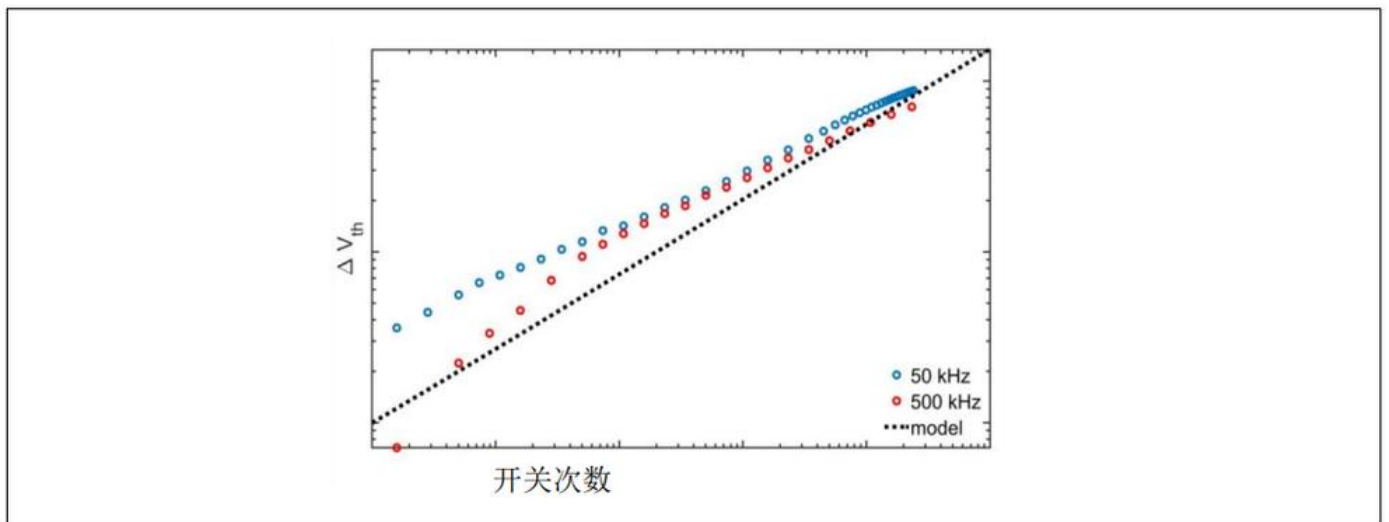


图 7 在加速的栅极电压 ($V_{GH} > 18V$; $V_{GL} < -5 V$) 和温度 ($T_S > 150^{\circ} C$) 条件下测量的 AC V_{TH} 漂移。记录所用的总应力施加时间相同、但应力施加频率 (50 和 500 kHz) 不同的数据。AC V_{TH} 漂移显示出与开关次数成正比的幂律式增长。漂移模型用虚线表示。

4.2.3.2 与栅极偏压下限 (V_{GL}) 的关系

AC BTI 还有个特点是，它与栅极偏压下限 (V_{GL}) 的关系。事实上，如果 SiC MOSFET 长时间在在关断状态施加负栅极偏压的模式下运行,AC BTI 只会导致 V_{TH} 漂移增大。如果器件是在 $V_{GL}= 0 V$ 时关断的，则获得的 V_{TH} 漂移显示出典型的 DC BTI 漂移行为，而不依赖于开关次数。在关断状态下较大的负栅极电压可通过以下方式影响 V_{TH} 漂移（参见图 13）：当开关次数较少时， V_{TH} 漂移因为弛豫效应而较少；但是，当开关次数较多时， V_{TH} 漂移通常因为负关态栅极电压更高导致漂移斜率更大（幂律指数）而变大。

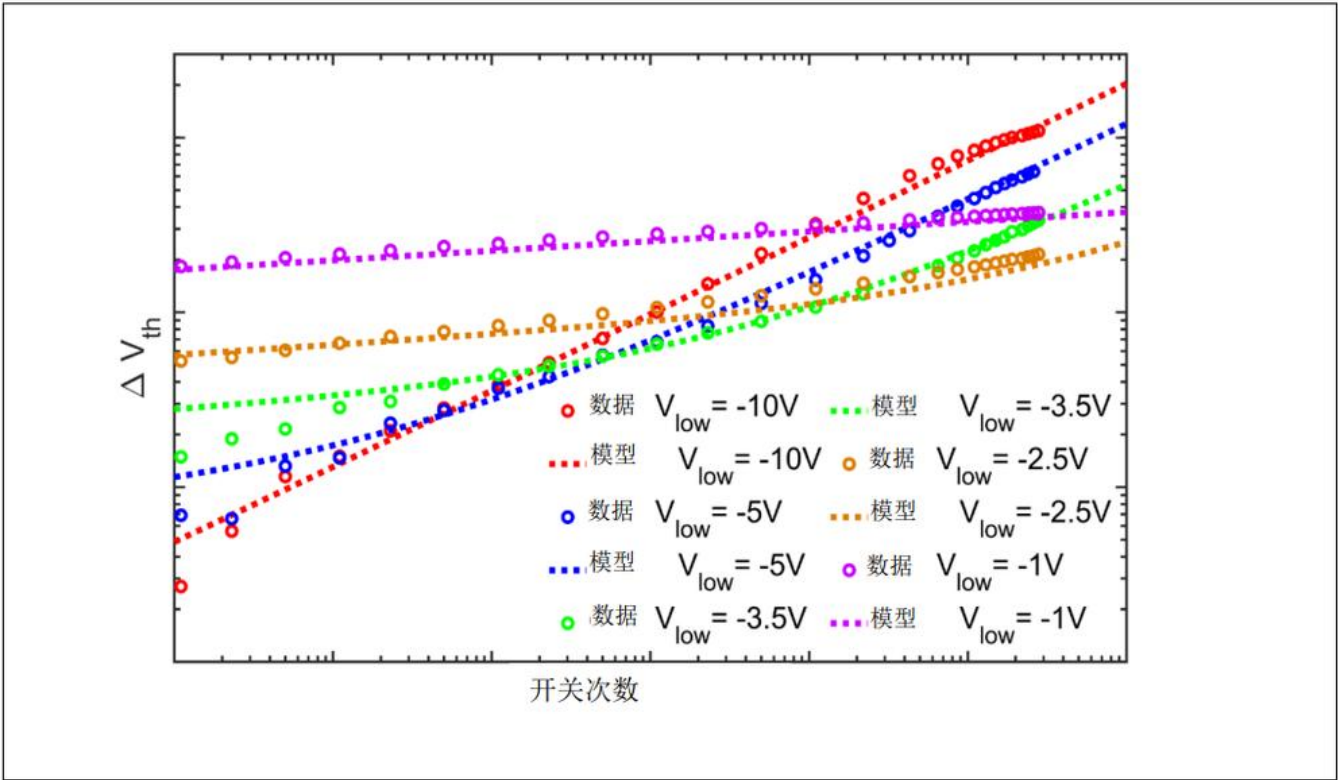


图 8 短时间内施加大量脉冲 ($f = 500\text{ kHz}$) 获得的加速条件下，以及上限栅极电压 ($V_{GH} > +18\text{ V}$) 和温度 ($T_S > 150^{\circ} C$) 条件下，测量的 AC V_{TH} 漂移。记录使用不同栅极电压下限时的数据。当使用的栅极电压下限高于-2.5 V 时（比如-1 V）， V_{TH} 漂移的幅度和斜率类似于或低于 DC BTI。当施加更负的下限栅极电压时（比如-5 V），AC BTI 在经过大量的开关周期后开始占据主导地位。这是由 AC BTI 的漂移斜率（幂律指数）变大导致的。漂移模型（虚线）与实测数据的吻合度非常好。

4.2.3.3 与栅极偏压上限 (V_{GH}) 及温度 (T) 的关系

AC BTI 与通态栅极电压 (V_{GH}) 和运行温度 (T) 的关系与 DC BTI 类似。如图 14 和图 15 所示, 在较高的 V_{GH} 等级和高温下, V_{TH} 漂移值更大。但是, 这并不意味着, 这种运行条件对于应用而言更为关键。

高温通常也可导致 BTI 变大。另外, 在高温下, JFET 和漂移区 (epi) 电阻相对于沟道电阻变得更加明显。因此, 尽管 V_{TH} 漂移变大, 但 R_{ON} 在温度更高时的相对变化可能同样更小。

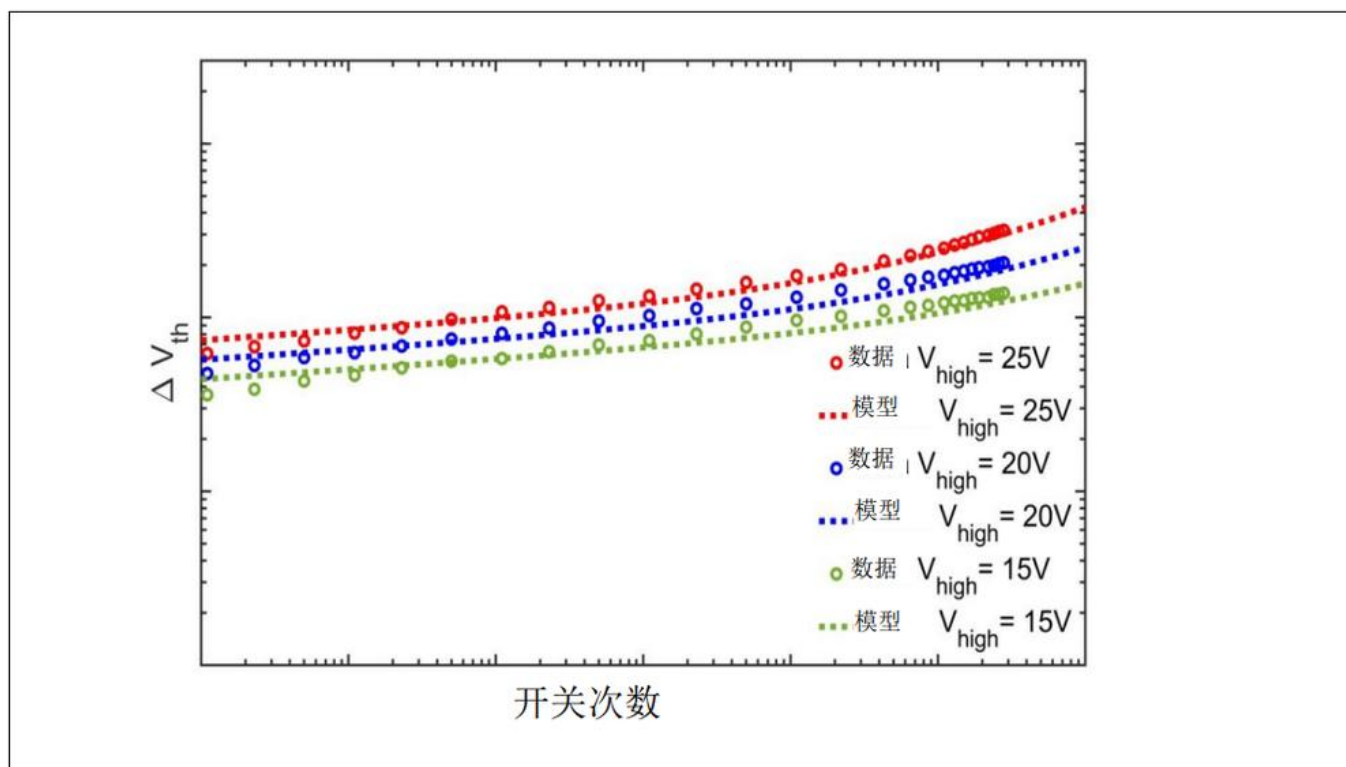


图 9 在加速频率 ($f = 500 \text{ kHz}$) 和温度 ($T_S > 150^\circ \text{ C}$) 条件下测量的 AC V_{TH} 漂移。记录在典型的栅极电压下限和不同的栅极电压上限时的数据。施加较大的栅极电压上限导致实测数据发生近似平行的漂移。漂移模型 (虚线) 与实测数据的吻合度非常好。

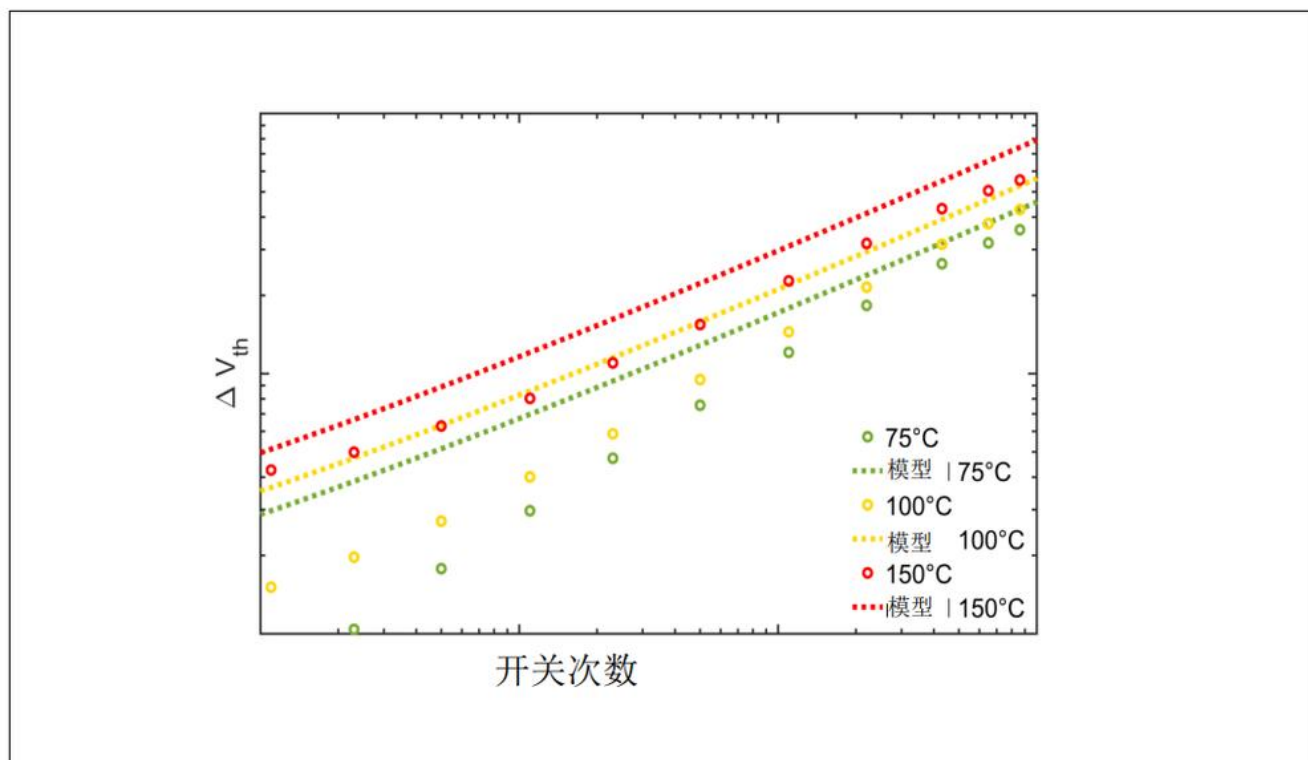


图 10 在加速频率 ($f = 500 \text{ kHz}$) 和栅极电压上限 ($V_{GH} > 18 \text{ V}$) 条件下测量的 AC V_{TH} 漂移。记录在典型的栅极电压下限和不同应力温度下的数据。温度较高时的应力导致实测数据发生平行漂移。漂移模型（虚线）符合实测数据的趋势，但在本试验中稍微高估了漂移的绝对值。

4.2.3.4 漂移饱和

我们进行了近 1 年的开关频率加速 AC 栅极应力实验，以研究在典型应用开关条件下的长期 AC BTI。在这些长期实验中观察到的漂移表明，在寿命终期实测的 AC BTI 漂移可能低于通过漂移模型预测的漂移，因为漂移效应已开始饱和。

4.2.3.5 与负载电流的关系

为完成评估，在各种负载电流下进行了几项实验。所观察到的 V_{TH} 和 R_{ON} 漂移基本上符合 AC BTI 漂移模型，这表明负载电流本身并不会改变观测到的漂移行为。但也发现，栅极信号过冲和下冲——在逆变器应用中很常见——可能影响 AC BTI。这一点在英飞凌的第二版应用说明中已有说明，其中还就如何正确地评估和抑制应用中的过冲和下冲给出具体的指导。

在[《白皮书下载 | 如何控制和保证基于 SiC 的功率半导体器件的可靠性》（三）](#)中，我们将介绍碳化硅的抗宇宙射线能力，CoolSiC™ MOSFET 的抗短路能力和 SiC 体二极管双极退化，敬请期待。