如何控制和保证基于 SiC 的功率半导体器件的可靠性 (三)

在<u>《白皮书下载 | 如何控制和保证基于 SiC 的功率半导体器件的可靠性》(二)</u>中,我们详细 介绍了工业级 SiC MOSFET 的栅极氧化层可靠性和偏压温度不稳定性(BTI)。本文将继续介绍碳 化硅的抗宇宙射线能力, CoolSiC[™] MOSFET 的抗短路能力和 SiC 体二极管双极退化。

5 碳化硅的抗宇宙射线能力

半导体器件在其整个生命周期中都会受到核粒子辐射。这种辐射源自于高能宇宙粒子撞击大气层 外围,并通过传播与核反应在低海拔处形成核粒子雨,参见图 1。



图 1 在[30]之后由宇宙粒子引发的粒子雨示意图。



图 2 在高海拔处相对于海平面的中子通量[31]。

对于地球大气层以上的空间应用,宇宙辐射主要由质子、离子和伽玛射线组成。对于最高达到飞机飞行高度的地面应用,大气层能起到很大的屏蔽作用,辐射环境取决于地平面的通量密度约为 20 个中子/cm2/小时[32]的中子。但如图 17 所示,中子通量随海拔高度呈指数增长[14],因此在考虑宇宙辐射导致的失效率时必须考虑到海拔高度。

尽管地面上的中子通量密度相当低,但许多功率半导体应用都要求单一器件失效率位于 1-100 FIT (失效/时间)或更低的范围内。(1 FIT = 在 109 个运行小时数内有 1 个失效)因此有必要弄 清楚并了解宇宙辐射导致功率半导体器件失效的机制,并根据器件和应用参数推导出一个加速模型, 另请参见[33]。

图 3 所示为在阻断或反向偏压条件下运行的功率半导体器件的基本失效机制。该示意图呈现了 在阻断 p-i[1]n 二极管结构中的电场分布。入射宇宙粒子可能触发与晶格原子的核反应,反冲离子可 激发由电子和空穴组成的带电等离子体。在正常的反向偏压运行条件下,电场呈三角形或梯形(蓝色 曲线)。当存在由入射宇宙粒子诱发的带电等离子体时,电场在等离子体中被局部屏蔽。在等离子体 区的边缘甚至会产生更强的电场,这可能导致产生通过活跃区进一步传播开去的雪崩(红色曲线), 也就是所谓的"电子流"。



图 3 在[30]之后垂直功率器件中的宇宙辐射失效机制示意图。为简单起见,只考虑被施加反向偏压的一维 p-i-n 二极管结构。

等离子体通道和随后的流光可使器件发生短路,然后再被耗散能摧毁。这就是所谓的"单粒子烧毁"(SEB)。在碳化硅和硅中,由宇宙辐射引起的失效率随入射时器件中存在的电场呈指数级增长。 具有相似电场的器件失效率也相似。在过去的几十年中进行了许多加速试验,这些试验表明,当施加 的电压被归一化为实际雪崩击穿电压时,由宇宙射线诱发的失效率相似,参见图 4 和[34]。



图 4 对不同的 SiC 技术和电压等级进行大量试验后测得的 FIT 率。每项试验所施加的电压被归一化为测得的实际雪崩击穿电压 VBR。[34]中报道了类似的结果。由于在原则上试验中的失效概率很低而加速度很大, 所以试验结果呈现出位于 1 到 2 个数量级的范围内的相当大的分散性。为简单起见,该图中没有显示源自于有限数量的被测器件的每一个实验的统计误差线。

这些试验是用质子加速器和散裂中子源进行的,它们可通过高粒子通量密度实现 108 数量级的高加速因子[32]。图 4 所示为,失效率与施加的反向电压或阻断电压存在明显的指数级关系。由于每个器件在原则上的失效概率很低,且试验中的统计数据有限,所以试验结果呈现出位于 1 到 2 个数量级的范围内的分散性。除去这一分散性,还可通过这些结果推断出一个平均指数电压加速模型。为验证该加速模型,在进行基于人工离子源的加速试验的同时,还在高海拔和大气中子的自然通量下进行储存试验[33]。

凭借宇宙射线诱发的失效率与雪崩击穿电压的关系,就可以优化功率器件的稳健性。一般而言, 垂直型功率器件可以设计更高的雪崩击穿电压,从而可以通过更大的厚度和更低的漂移层或基底层掺 杂来实现更强的抗宇宙辐射能力。这又意味着正向导通损耗将在一定程度上降低,即,在抗辐射能力 与通态损耗之间取得平衡。

为计算宇宙辐射导致的器件或模块失效率,必须考虑到特定应用的条件,即施加的电压和海拔高度与相应的运行小时数之间的关系。因此,不可能为某一技术或应用提供一个宇宙辐射失效率的数字。 相反,英飞凌支持客户通过其遍布全球的、经验丰富的、且经过训练的应用工程师网络,研究如何根据英飞凌试验数据、客户应用条件和应用细节信息去计算总体失效率。

英飞凌永远支持开发宇宙辐射实验的新技术和新产品,以便验证该模型,并确保在应用和器件设 计中达到实现恰当平衡所需的抗辐射能力。结果表明,就宇宙射线导致的基本失效机制及其与运行条 件的关系而言,硅 IGBT 技术与 SiC 功率器件之间只有相当细微的差异。

6 CoolSiC[™] MOSFET 的抗短路能力

虽然如今设计的典型工业级 IGBT 可以应付大约 10 µs 的短路时间,但 SiC MOSFET 几乎 没有或者只有几µs 的抗短路能力。这常常被误以为是 SiC MOSFET 的一个基本缺陷。但通过更为 详细的背景分析发现,有些类型的 IGBT 也不能应付短路工况(比如,为软开关应用设计的 IGBT),并且 SiC MOSFET 中的某些单元设计措施也可将它的抗短路性能提升至典型 IGBT 所具有的值。 考虑到 SiC MOSFET 的主要目标应用,如今并不要求它具备抗短路能力(或者只要求它具备上述的 几 µs 的抗短路能力),所以可以断定,这一缺陷目前是可忽略不计的。而且必须指出的是,抗短 路能力提高将对 RDS (on)产生很大的负面影响。因此,在决定以保证短路耐受时间的形式提高抗 短路能力时应当非常慎重。如果决定在数据表中指定该参数值,则必须采取措施确保成品器件的性能。 在英飞凌,这是通过在装运之前对所有产品进行 100%生产测试做到的。客户通常要求指定一个产品 在应用时能够成功抵抗的短路事件数量。要回答这个问题并不容易,因为在不同的运行条件下,实际 短路条件(杂散电感等)可能差别很大。此时,供应商与最终用户之间的特定评估,是解决这个问题 的唯一途径。

以下章节从简要回顾实际短路破坏机制开始,帮助解释 IGBT 与 SiC MOSFET 之间存在差异 的背景原因。在典型的短路事件中,器件在被施加满(DC 总线)电压的同时,也被施加由负载阻抗 和半导体的输出特性定义的电流。因此,同时施加的高电压和大电流会导致器件中的功率损耗和热应 力都很大。根据预期,热破坏是个关键的限制因素,金属层的实际熔化是观察到的失效模式之一。持 续时间为微秒级。对于 SiC,还报道了许多其他发现,如栅极在成功通过短路事件后发生短路[35]。 IGBT 有时会出现类似这种的失效,这是因为施加应力脉冲之后的漏电流太大,进而导致在短路脉冲 之后出现热失控。但这种类型的失效模式可以根据对 SiC 器件的现有经验和了解进行排除。



图 5 45m Ω 和 20A(标称直流额定电流)的 SiC MOSFET 的典型短路波形。

另一个重要发现是,在短路条件下,芯片内的温度大幅度升高,显示出与 IGBT 不同的分布。 温度升高也是因为峰值电流(与器件额定电流的比率)相比受益于饱和效应的 IGBT 大幅增大。而 MOSFET 的设计是通过使用短沟道和有限的 JFET 效应来减小 RDS(on)。结果是,在短路开始 之后,SiC MOSFET 的峰值电流可以达到器件额定电流的 10 倍左右,而对于 IGBT,该值可能仅 为额定电流的 4 倍左右(参见图 5)。即使后来电流可以下降到一个可被安全关断的值(参见图 5 中 的虚线),但总体温度仍然会上升。



图 6 IGBT (左图) 和 SiC MOSFET (右图) 在短路事件之后的温度分布示意图。

对于 SiC MOSFET,由于短路时间和由此造成的功率损耗都在 2-3 µs 的范围以内,所以无法 利用整个芯片的散热能力,热量几乎完全是在靠近芯片表面的极薄漂移区、隔离氧化层和顶部金属层 中产生的。图 6 描绘了这一情境,并与 IGBT 进行了比较。在高压硅器件中,峰值温度的波动幅度 较小,并且更多地是位于器件的主体中。于是便会出现不同的失效模式,因此对于 SiC MOSFET, 已采取其他规避措施来调整器件的短路行为。

英飞凌的 CoolSiC[™] MOSFET 产品如今被指定的短路耐受时间可达 3 µs,且装运之前已在封装水平上进行百分百的检验。

对于 SiC MOSFET,减小短路条件下的峰值电流很重要。可以通过 P 基区更明显的 JFET 效应、或降低 VGS 来减小峰值电流。如欲作进一步地了解,可以参见[36]。但是,所有这些对导通电阻都有不利影响。因此,必须深入了解系统需求和行为,以得出潜在器件相关的措施和系统创新[37] 来应对短路事件,同时让 SiC 在正常运行条件下保持非凡的性能。

7 SiC 体二极管双极退化

7.1 机制

在双极性运行(PN 结,比如 MOSFET 的体二极管,在导电时)条件下,任何类型的 SiC 器件都可能出现双极退化效应。这种效应主要是由 SiC 晶体上早先存在的基底面位错(BPD)触发的。在双极运行期间,电子与空穴的复合所释放出的能量导致堆垛层错在 BPD 处蔓延[38]。该堆垛层错将蔓延至芯片的表面,然后停止蔓延。图 22 中的左图所示的、被扩大的堆垛层错覆盖的区域,已经无法再导电,因此芯片的有效有源区域缩小。



图 7 SiC 器件中的叠层缺陷的俯视图和横截面

结合潜在的物理背景因素,可以得出双极退化是:

> 一种有可能发生或不发生的机制。当器件不存在 BPD 时(或者 BPD 不受复合事件影响时), 将不存在双极退化效应。

> **所有** SiC 器件都存在的一种效应。由于 BPD 是 SiC 衬底(晶圆)中的一种常见缺陷,所以 任何拥有 PN 结的 SiC 器件都可能发生双极退化,而无论器件类型是什么,生产厂家是谁。

> 一种饱和效应。一旦堆垛层错蔓延至器件表面,双极退化就会饱和。取决于通过 PN 结的电流和结温等运行条件,从初始状态到饱和的时间可以是几分钟到几小时的累积双极运行时间。

7.2 在应用中的影响

如前所述,内部拥有扩大的叠层缺陷的区域似乎表现出更大的电阻,因而流经它的电流即减小。 图 23 显示了有缺陷和无缺陷的 SiC 器件的热图像(EMMI)。可以清楚地看到,拥有堆垛层错的 区域因为流经的电流很小几乎没有产生热量。



图 8 有少量缺陷(黑色小三角形,见箭头)的和无缺陷的 SiC MOSFET 在导通模式下的 EMMI 图。颜色表示 电流密度(蓝色代表密度小,红色代表密度大),加粗黑线代表器件的无源区域。

从试验中可以证实,双极退化只会使 SiC 器件的有源区域减小,进而使得 MOSFET 的 RDS(on) 变大,体二极管的 VSD 变大。器件的其它基本参数(如击穿电压、开关行为和氧化层可靠性)未发 生改变。

因此,如果碳化硅器件有少量缺陷,并且饱和后的 RDS (on)或 VSD 增大幅度仍然位于数据 表给出的范围以内,则它在运行中不会有长期的负面影响。

7.3 CoolSiC[™] MOSFET - 消除风险的策略

英飞凌已采取专门的措施来确保其交付给客户的产品拥有稳定的性能。已采取两种措施来确保有可能使用体二极管的所有 CoolSiC[™] MOSFET,在发出时不存在任何导致不符合数据表规定的双极退化。

其中包括采取优化的芯片生产工艺以抑制叠层缺陷的形成,并结合有效的验证措施。

在<u>《白皮书下载 | 如何控制和保证基于 SiC 的功率半导体器件的可靠性》(四)</u>中,我们将介 绍产品级别的质量认证,汽车级认证和 SiC 器件可靠性和质量认证的行业标准•,敬请期待。