

如何控制和保证基于 SiC 的功率半导体器件的可靠性（一）

1 . 引言

英飞凌基于 CoolSiC™沟槽栅的碳化硅功率 MOSFET，凭借杰出的系统性能，在功率转换开关器件的优值系数（FOM）值上取得了巨大改进。这能给许多应用带来更高的效率和功率密度，以及更低的系统成本。该技术也可为创造更多新应用和新拓扑带来可能。然而，与所有新技术一样，碳化硅功率 MOSFET 必须全面严格地遵循技术开发和产品质量检验程序。唯有如此才能达到功率转换系统的设计寿命和质量要求。尽管与硅技术有相似之处——例如，垂直型器件结构，含有 SiO₂ 等天然氧化物，及大多数工艺步骤等，但这些新功率器件在材料特性和运行模式上仍有重要的区别。由于存在这些实质性的差异，所以必须仔细考虑它们在最终应用时的运行模式，以及所需的开发和可靠性鉴定程序会受到什么影响。

本文着重讲述英飞凌在产品发布过程中用于评价 CoolSiC™技术和产品质量合格所需经历的主要流程步骤。本文还涉及到主要的失效机制，以及用于确保在各种应用中安全可靠运行的方法。

通过这种方式，我们避免了客户可能遇到的许多风险，并为可靠地使用英飞凌 CoolSiC™技术提供了一条安全的路径。本文对于有兴趣更好地了解碳化硅技术的可靠性的工程师也有指导价值。

本白皮书分为三部分，在《白皮书下载 | 如何控制和保证基于 SiC 的功率半导体器件的可靠性》（一）中，我们将介绍基于 SiC 的器件需要进行一些不同于硅器件的额外可靠性试验的原因和工业级 SiC MOSFET 的栅极氧化层可靠性及其失效率和寿命。

2 . 基于 SiC 的器件为何需要进行一些不同于硅器件的额外可靠性试验？

SiC 能作为功率器件原材料的原因之一是，它能借用硅器件的许多著名概念和工艺技术，其中包括基本器件设计，如垂直型肖特基二极管或垂直型功率 MOSFET（对 JFET 和 BJT 进行一些改进后获得的替代结构）。因此，用于验证硅器件长期稳定性的许多方法可以直接用到 SiC 上。但更深入的分析表明，基于 SiC 的器件还需要进行一些不同于 Si 器件的额外可靠性试验。有必要进行这些测试的项目包括：

- 材料本身及其具有的特定缺陷结构、各向异性、机械性能和热性能等
- 更大的带隙及其对 MOS 器件的界面陷阱密度和动力特性的影响
- 材料本身及外部界面——如器件边缘（包括新边缘端设计）——最多增强 10 倍左右的运行电场，以及这对氧化层寿命的影响
- 高压运行（ $V_{DS} > 1000\text{ V}$ ）与快速开关（ $> 50\text{ V/ns}$ ）相结合的新运行模式

所列项目可能对几乎所有既有的质量认证试验都有影响。由于力学特性不同，功率循环二次试验所得的结果也会不同。与基于硅的功率器件不同的是，SiC 的氧化层可靠性试验设置还必须涵盖阻断模式下的稳定性。此外，按照许多现有的、用于规范加速试验的合格标准，必须利用模型推断试验数据，使其与现实世界里的应用条件建立关联。必须验证这些模型参数对于 SiC 的适用性和准确性。

在过去 25 年里开发和生产基于 SiC 的功率器件的过程中，英飞凌对所有这些项目进行了深入的分析。一边开发新试验用于测试基于硅的功率半导体器件所没有的不同运行模式，一边改进其他试验以考虑到 SiC 特有的要求。必须强调的是，特性鉴定和验证体系的主要组成部分是基于应用条件的应力分析。这样做是为了能够评估 SiC 器件的临界运行条件，并了解新的潜在失效机制。

以下章节将详细讲解这些内容。

3. 工业级 SiC MOSFET 的栅极氧化层可靠性—失效率和寿命

3.1 SiC MOSFET 的栅极氧化层可靠性简介

大量的栅极氧化层早期失效多年来一直在阻碍 SiC MOSFET 的商业化进程，并引发出对 SiC MOS 开关能否像 Si 技术一样可靠的怀疑。过去十年里，SiC 技术已发展得基本成熟，SiC MOS 器件的栅极氧化层可靠性已逐步取得改进。这为它们成功地进入大众市场打开了大门。

在栅极氧化层可靠性领域，可以重复使用 Si 技术的许多专业知识。例如，事实表明，SiC 器件上的 SiO₂ 的物理击穿场强与 Si 器件上的 SiO₂ 相似（即使不相同）[1]。这意味着，在 SiC 上制取的 SiO₂ 的整体击穿稳定性与在 Si 上制取的 SiO₂ 一样好。SiC MOSFET 的栅极氧化层可靠性之所以不如 Si MOSFET，是由“外在”的缺陷导致的。外在的缺陷是指栅极氧化层发生细微的变形，致使局部氧化层变薄，如图 1 所示。

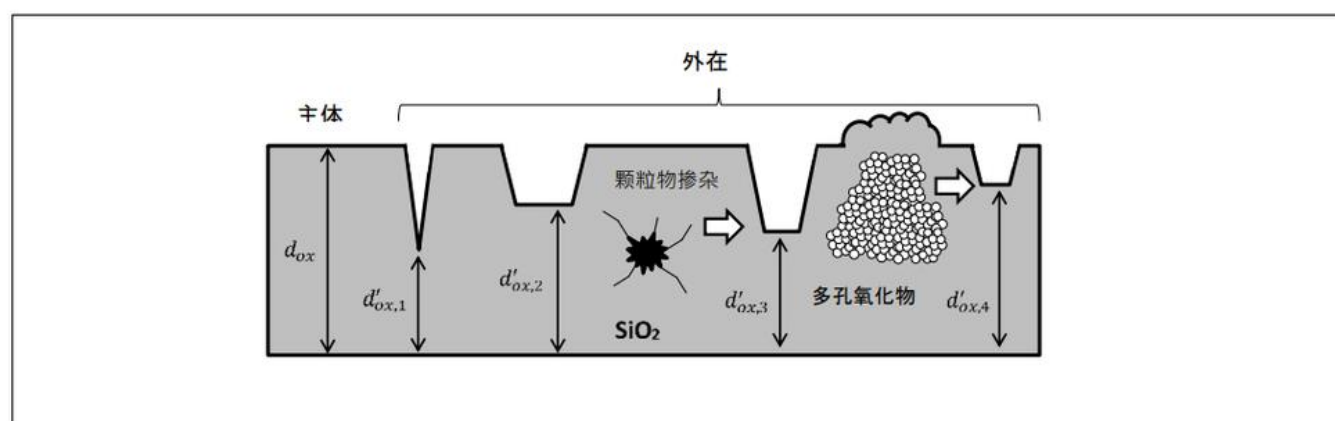


图 1 SiO₂ 的外在缺陷示意图。外在缺陷可以由氧化层变形（因为 EPI 或衬底缺陷）等原因导致的物理氧化层变薄，也可以是由介电场强降低（因为含有金属杂质、颗粒或孔隙）导致的电气氧化层变薄[2]。

有些变形可能源自于 EPI 或衬底缺陷[2]、金属杂质、颗粒，或在器件制造过程中掺入到栅极氧化层中的其他外来杂质。

3.2 SiC MOSFET 栅极氧化层可靠性筛查的基本方面

结束流片时，因为具有更大数量的杂质缺陷，在 SiC 上制取的栅极氧化层通常拥有更高的早期失效概率，如图 2 所示。

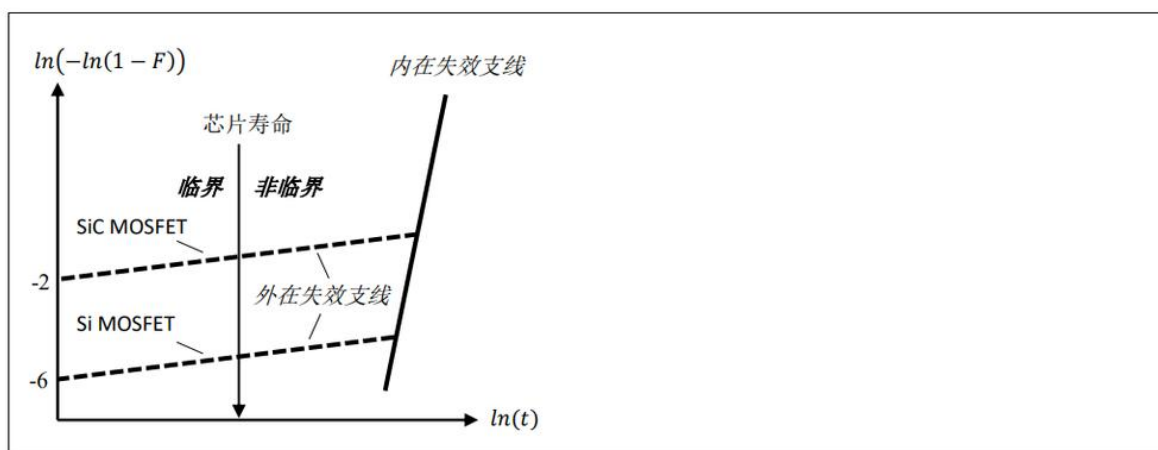


图 2 氧化层厚度和面积相同的 SiC MOSFET 和 Si MOSFET 的外在和内在韦伯（Weibull）分布的示意图。F 是指累积失效概率，t 是指时间。由于电气缺陷密度更高，SiC MOSFET 的栅极氧化层的外在缺陷密度高出 3-4 个数量级。芯片寿命是指器件在正常使用条件下在应用中必须正常工作的时间。

为了让 SiC MOSFET 和 Si 器件一样可靠，在处理时必须最大限度降低栅极氧化层缺陷密度。此外，必须开发创新的筛查技术——例如通过电气终端测试，以识别并剔除可能有缺陷的器件。在终测中筛选有缺陷的器件，通常需要对每个器件施加预定幅值和时间的高栅极电压应力脉冲[3] [4]。该应力脉冲可用于识别出具有关键外部缺陷的器件，留下没有外部缺陷的、或只存在非关键外部缺陷的器件。在筛查中留下来的剩余器件具有明显更高的栅极氧化层可靠性[5]。

要想实现快速高效的栅极电压筛查，必须具备的一个条件是，栅极氧化层应比达到固有的寿命目标通常所需的氧化层厚很多。栅极氧化层越厚，越能使用比器件典型应用电压高很多的筛查电压，同时保证不损坏能通过筛查试验的无缺陷器件。筛查电压与应用电压之比越大，电气筛查效率越高[6]。通过在终测中剔除有缺陷的器件，客户面临的潜在可靠性问题就能被器件制造商遭受的微小良率损失所取代。通过我们筛查试验的 SiC MOSFET 显示出与 Si MOSFET 或 IGBT 同样优异的栅极氧化层可靠性[7]。

栅极氧化层更厚的缺点是，MOS 沟道电阻略高。MOS 沟道电阻与栅极氧化层厚度成正比，可以在总导通电阻中占据很大的比例，尤其是对于电压等级较低的、漂移区电阻相对较小的器件而言。毕竟，高筛查效率以及 SiC MOSFET 优异的栅极氧化层可靠性并不完全是轻易得到的，而是以导通电阻略微增大为代价的。虽然难以避免这种在可

靠性与性能之间进行折中的设计，但或许可以利用导通电阻和栅极氧化层可靠性与栅极氧化层厚度的相关性不同的这一事实。

虽然栅极氧化层的可靠性随氧化层厚度的增加而呈指数级提高，但导通电阻仅呈线性增加。在漂移区电阻更为突出的高温条件下，性能损失相对而言反倒更小。总而言之，使用较厚的栅极氧化层，只需牺牲一丁点儿性能，就能换取可靠性的大幅提高。英飞凌从一开始就决定使用沟槽式的 MOSFET 技术。这是因为沟槽式器件与氧化层更厚的平面式器件相比，在 MOSFET 处于通态时栅极氧化层上电场强度较小且沟道电导率明显更高。

经典的老化试验可以替代在高筛查电压和室温下进行的栅极电压筛查，但它并不是很有吸引力。在老化过程中，器件通常需要承受更长时间的较低栅极电压和高温工况。这种方法有几个缺点：老化过程耗时耗钱，并可能导致阈值电压和导通电阻因为栅极长时间地承受高偏压和高温应力而发生严重漂移，进而引起所谓的偏压温度不稳定性 [8]。

3.3 用于外部栅极氧化层可靠性评价的应力试验

为能可靠地预测器件在正常运行工况下的失效概率，必须开展应力试验来探究导致器件出故障的早期失效机理 [9]。旨在探究氧化层磨损机理的应力试验——比如通常只在少量样品上进行的加速经时击穿（TDDB）试验，并不适合用于研究在芯片典型寿命内和器件正常运行（电压、温度）期间可能发生的故障。为了克服这个问题，英飞凌开发出两种不同的应力试验方法来验证所有器件的筛查结果乃至栅极氧化层可靠性。

3.3.1 马拉松应力试验

研究外在失效的常用方法之一是，给器件施加尽可能接近现实世界应用条件的应力，同时测试大量的样品。之所以要求测试大量样品，是因为在经过电气筛查之后，外在失效发生的概率通常极低。为此，我们开发出一种新的试验方法，它就是我们所称的

“马拉松应力试验”[2]。该试验是给数以千计的器件同时施加位于接近运行条件和类似于典型老化条件的参数区间内的应力。但与老化试验不同的是，我们施加应力的时间长很多（100 天），以增加发现外在失效的概率。为了解决马拉松应力试验对于大样品量的需求，我们开发出一种专门的试验系统，它能让我们将许多器件放在一个封装里，将许多封装放在一个应力板上，再将多个应力板同时放进一个烘箱里。然后再同时运行多个烘箱。

在案例研究中，我们利用三组通过电气筛查的、拥有不同杂质缺陷密度的器件样品，开展和运行了三次独立的马拉松试验。这三组样品与器件在开发过程中取得的进展大致对应，即，第一组样品对应于氧化层形成过程的初始阶段，而第三组样品代表产品放行前的技术状态。实验目的是监测和量化在清洗、流片和电气筛查等方面实现的各项改进效率。在 150°C 下保持 100 天时，最好的一组（第三组）在 $V_{GS} = +30\text{ V}$ 时每 1000 个器件只有 1 个失效，而在 $V_{GS} = +25\text{ V}$ 和 $V_{GS} = -15\text{ V}$ 时失效器件数都为零。马拉松应力试验中的失效情况如图 3 中的韦伯分布所示。为了得到在运行条件下对应的韦伯分布，我们利用线性 E 模型将 $V_{GS} = +30\text{ V}$ 时的失效时间换算成 $V_{GS} = +18\text{ V}$ 时的失效时间[9] [10]。换算结果显示在图 3 的右上角中。请注意，在 30 V 马拉松应力试验中检测出的所有失效器件数，将会远远超出在 18 V 的标称栅极偏压下和 20 年的假定产品寿命内拥有的失效器件数。通过将测量数据外推到假定的最长运行时间（如 20 年），即可推断出一个生命周期中的失效概率。

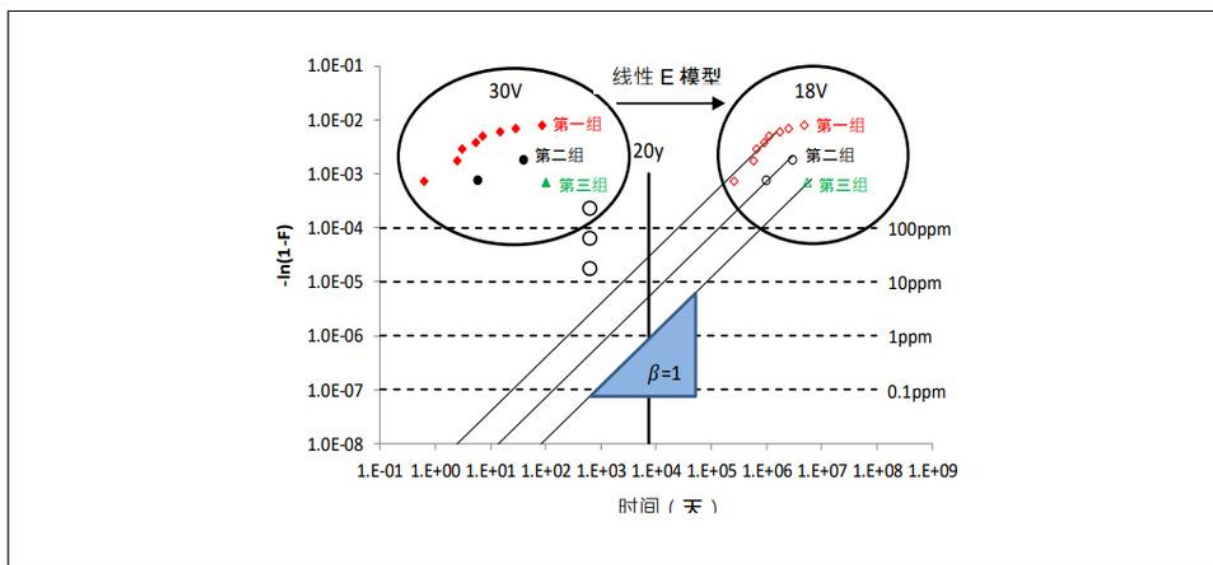


图 3 在利用拥有不同外在缺陷密度的、三组不同的 SiC 沟槽式 MOSFET 样品进行的马拉松应力试验中，获得的失效概率的韦伯分布图。通过线性 e 模型，将 $V_{GS} = 30\text{ V}$ 的过应力条件下的马拉松试验结果，换算成 $V_{GS} = 18\text{ V}$ 的栅极使用电压下的结果。对于 F 和 t，请参阅图 2 中的说明。

在外推时，我们假定韦伯斜率参数 $\beta = 1$ 。这是一种最先进的失效率分析方法，其中，在用筛查法剔除外在失效之后，留下的器件失效概率符合本征失效的韦伯斜率 1。[2] [6] 总结马拉松试验案例研究的最终结果：三组样品中有两组在 150°C 和 18 V 时和 20 年的运行时间内都显示出个位数的 ppm 级失效概率。这些数值与成熟的 Si 技术是类似的。

马拉松应力试验是估计 SiC MOSFET 器件在正常运行条件下和一个生命周期中的失效概率的非常有效的方法。但是，该试验需要测试大量的样品，并且需要采用非常复杂的方式进行校验。选择栅极应力水平时，必须使其远低于被测器件的本征击穿极限，同时还要足够苛刻以能在计划的试验持续时间内激发一些外在失效。要想确定合适的应力条件，必须开展广泛的初步调查，和/或对被测器件具备充分的了解。因为这个原因，也因为开展并行试验需要专门的试验系统，所以马拉松应力试验主要是被器件制造商用于量化在自家工厂里生产出的 SiC MOSFET 的可靠性。要想更定性地比较不同厂家的产品的栅极氧化层可靠性，开展寿命终期应力试验（如“栅极电压步进应力试验”）更加方便[6] [11]。

3.3.2 栅极电压步进应力试验

该试验是通过逐步增大栅极应力偏压，在最高允许结温 ($T_{j,max}$) 下和设定的应力持续时间 (t_{str})——如 24h 或 168h——内，测试数量较少的 SiC MOSFET 器件，如图 4 所示。在应力水平每上升一个台阶后，分别检测器件的栅-源极漏电流电平。统计失效器件数目，并从分布图中剔除失效器件。在第一个应力级差下，器件被施加推荐的栅极使用电压 ($V_{GS,rec}$)——比如+15 V。用同样的方法在最高允许栅极电压 ($V_{GS,max}$) 下进行第二个应力级差的试验。从这一步开始，在每个应力级差之后将栅极电压增大 +2 V (举例)，不断进行试验，直至所有器件都已失效 ($V_{GS,EOL}$)。在试验结束时，通过韦伯统计分析失效时间和失效器件数。在图 5 中给出的示例中，显示和比较了对来自四家不同的 SiC MOSFET 供应商的器件进行试验所得到的结果。从该图可以看出，在假定运行时间为 20 年时，只有 M4 显示出拥有足够失效率的、清晰的本征失效支线，而其它器件（主要是 M1）在相对较小的电场强度下都出现明显较多的外在失效。

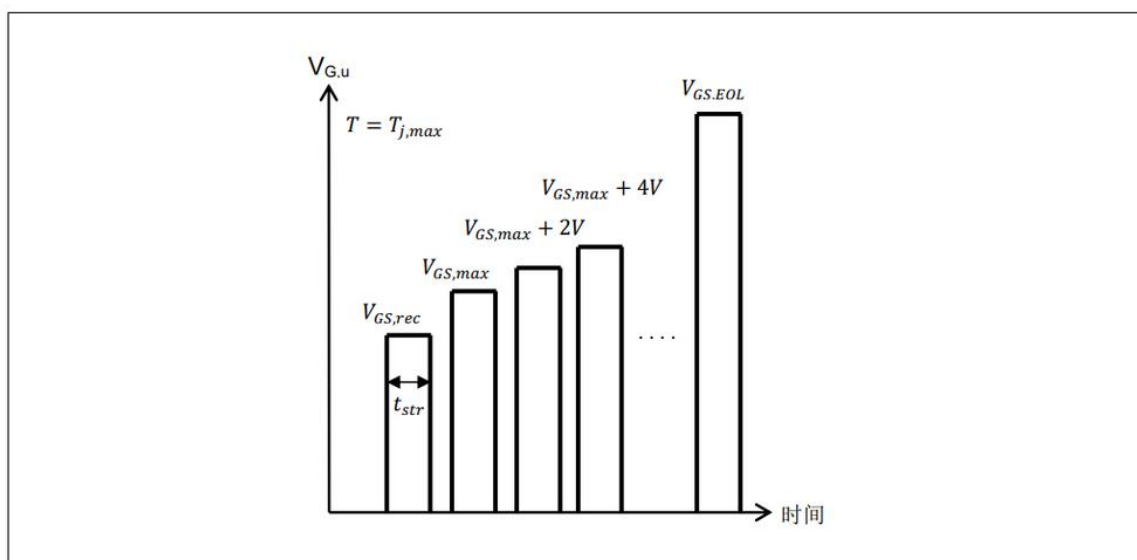


图 4 栅极电压步进应力试验。在每个应力试验序列之前和之后，通过检测栅-源极漏电流来检查每个芯片的栅极完整性。这种方法为寿命终期试验。

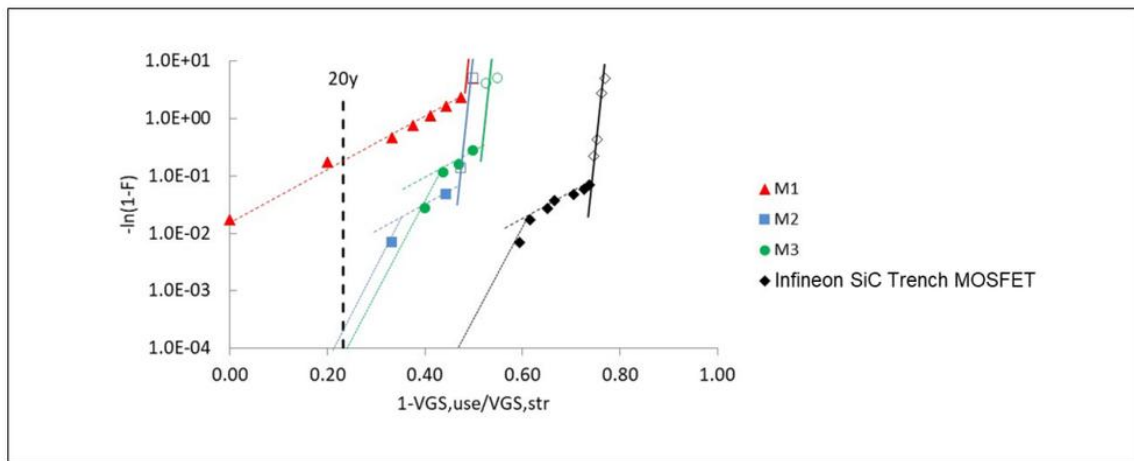


图 5 利用由四个不同器件厂家生产的 100 个商用的 SiC MOSFET 器件——其中包括来自英飞凌的、采用比 M1 或 M3 的平面式器件更厚的栅极氧化层的沟槽式器件，进行栅极电压步进应力试验，获得的失效概率的韦伯分布图。其中，空心符号代表因内在原因而被击穿的器件，实心符号代表因外在原因而被击穿的器件。虚线代表外在失效曲线，直线代表内在失效曲线。

3.4 结论

SiC MOSFET 的栅极氧化层可靠性已有大幅提高。但是，由于 SiC 材料的缺陷密度更大，所以要向“Si 标准”——即，个位数的 ppm 级失效概率——看齐仍然存在挑战性。本章介绍了 SiC MOSFET 栅极氧化层可靠性的基本方面，并概述了通过电气栅极电压筛查降低现场失效概率的概念。为了估计工业级 SiC 沟槽式 MOSFET 在典型运行条件下的最大现场失效概率，我们提出了所谓的马拉松应力试验，它是在接近于运行电压的电压应力下对大量的器件进行测试。该试验的结果表明，通过使用优化的器件处理和高效的电气筛查，可以使工业级 SiC MOSFET 达到与 Si 器件相媲美的、优异的栅极氧化层可靠性。

为了比较有限数量的、栅极氧化层性能普遍未知的器件的栅极氧化层可靠性——比如不同厂家生产的商用器件的栅极氧化层可靠性，我们又介绍了一种更为通用的寿命终期应力试验。这第二个试验不能像马拉松应力试验一样能够预测栅极氧化层可靠性，但更适合用于比较来自不同厂家的任意 SiC MOSFET 的可靠性。